

PTO 2001-2366

CY=JP DATE=19921026 KIND=A  
PN=04302444

SEMICONDUCTOR ELEMENT MOUNTING METHOD  
[Handohtaisoshhi jitsohhoho]

Yasutaka Koga

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. May 2001

Translated by: Diplomatic Language Services, Inc.

PUBLICATION COUNTRY (19): JP  
DOCUMENT NUMBER (11): 04302444  
DOCUMENT KIND (12): A  
(13):  
PUBLICATION DATE (43): 19921026  
PUBLICATION DATE (45):  
APPLICATION NUMBER (21): 03067045  
APPLICATION DATE (22): 19910329  
ADDITION TO (61):  
INTERNATIONAL CLASSIFICATION (51): H01L 21/60  
DOMESTIC CLASSIFICATION (52):  
PRIORITY COUNTRY (33):  
PRIORITY NUMBER (31):  
PRIORITY DATE (32):  
INVENTOR (72): KOGA, YASUTAKA  
APPLICANT (71): TOSHIBA CO.  
TITLE (54): SEMICONDUCTOR ELEMENT MOUNTING  
METHOD  
FOREIGN TITLE [54A]: HANDOHTAISOSHHI JITSOHHOHO

## Title of the Invention

Semiconductor element mounting method

## Claims

(Claim 1) In a semiconductor element mounting method with which semiconductor elements having bumps are bonded to the substrate on which a wiring pattern is formed via a thermosetting anisotropic conductive film, the semiconductor element mounting method is characterized by the fact that the mounting method has a tacking process wherein plural semiconductor elements are tacked onto the prescribed position of the substrate via the anisotropic conductive film, and a bonding process wherein bumps of the aforementioned semiconductor elements and the wiring pattern of the substrate are electrically connected by collectively pressing (against the aforementioned substrate) and heating the aforementioned plural semiconductor elements.

## Detailed Explanation of the Invention

### (Industrial Field of Application)

This invention relates to a semiconductor element mounting method with which semiconductor elements are bonded by a flip chip method.

### (Prior Art)

In recent years, the number of devices using plural semiconductor elements (ICs, LSIs, and the like) such as in liquid crystal modules, thermosensitive printing heads, and memory cards has been increasing. Furthermore, in these devices, it is necessary that plural semiconductor elements be thinly mounted on a substrate at high density.

As a semiconductor element mounting method which satisfies such a condition, there is a flip chip method wherein an electrode of the semiconductor element and a wiring pattern on the substrate are directly connected using an anisotropic conductive film.

This flip chip method is explained by referring to Figure 2. In plural electrode pads (2...) which are set on the element forming face (1a) of the semiconductor element (1), a bump (3) (a metal projection or projected electrode) is formed. Furthermore, this semiconductor element (1) is held on the pressing face (4a) of the bonding head (4) in a manner such that the element forming face (1a) faces downward so that this semiconductor element (1) faces the element loading face (5a) of the substrate (5). On this element loading face (5a), a wiring pattern (6) which is to be bonded with the aforementioned bump (3) is formed.

An anisotropic conductive film (7) is pasted on this wiring pattern (6) in advance. This anisotropic conductive film is a film form thermosetting adhesive in which fine conductive particles (8...) are uniformly dispersed.

After the bump (3) of the aforementioned semiconductor element (1) is aligned with the wiring pattern (6) on the aforementioned substrate (5), this semiconductor element (1) is heated by the aforementioned bonding head (4) and is pressed against the wiring pattern (6) of the aforementioned substrate (5) via the aforementioned anisotropic conductive film (7).

Since there are step differences in the part where the bump (3) of the aforementioned semiconductor element (1) is formed, plural conductive particles (8...) are mutually closely and electrically

connected in the part which is squeezed by the wiring pattern (6) and the bump (3) among the aforementioned anisotropic film (7). At the other part, plural conductive particles (8...) are not mutually contacted; thus, it is in an electrically insulated state. In this manner, only the bump (3) of the semiconductor element (1) and the wiring pattern (6) are electrically connected.

(Problems that the Invention is to Solve)

In the conventional flip chip mounting method, even when plural semiconductor elements (1...) are to be mounted on one piece of substrate (5), the aforementioned anisotropic film (7) has to be individually hardened for each individual semiconductor element (1).

However, in general, it requires at least 30 seconds for pressing and heating in order to harden the anisotropic conductive film (7). Thus, when several dozens of semiconductor elements (1...) are to be mounted on one substrate (5), the throughput cannot be increased.

This invention intends to mitigate such problems, and to propose a semiconductor element mounting method with which the throughput can be increased when many semiconductor elements are to be mounted on a substrate in high density.

(Means of Solving the Problems)

In a semiconductor element mounting method with which semiconductor elements having bumps are bonded to the substrate on which a wiring pattern is formed via a thermosetting anisotropic conductive film, the semiconductor element mounting method is characterized by the fact that the mounting method has a tacking process wherein plural semiconductor elements are tacked onto the prescribed position of the substrate via

the anisotropic conductive film, and a bonding process wherein bumps of the aforementioned semiconductor elements and the wiring pattern of the substrate are electrically connected by collectively pressing (against the aforementioned substrate) and heating the aforementioned plural semiconductor elements.

(Operation)

According to this constitution, after plural semiconductor elements are tacked onto the substrate via an anisotropic conductive film, the anisotropic conductive film is hardened by collectively heating and pressing these plural semiconductor elements. In this way, plural semiconductor elements can be collectively mounted on the substrate.

(Working Examples)

In what follows, a working example of this invention is explained by referring to Figure 1. The same symbols are used for the constituting parts which are similar to the corresponding parts in the conventional example, and explanation is omitted.

The bonding device to which this invented mounting method is adopted has a tacking stage (10) wherein tacking processing is performed and a bonding stage (11) wherein bonding processing is performed.

In Figure 1, (12) is a substrate conveying device. This substrate conveying device (12) has a table (13) whose upper surface is the mounting face. A substrate (5) is held on the mounting face of this table (13) in such a manner that the element loading face (5a) is facing upward. The substrate conveying device (12) moves the substrate (5) in the XY directions for positioning in the tacking stage (10) and the bonding stage (11), and conveys this substrate (5) from the tacking

stage (10) to the bonding stage (11).

Many wiring patterns (6), which are to be connected to the bump (3) of the aforementioned semiconductor element (1) (see Figure 2), are formed on the element loading face (5a) of the substrate (5) which is to be mounted on the table (13). The anisotropic conductive film (7) is pasted on these wiring patterns (6) in advance.

The element supply device (14) is installed above the aforementioned tacking stage (10). This element supply device (14) has a supply table (16) which positioning-drives the tray (15) in which plural semiconductor elements (1...) are stored, and a pickup nozzle (17) which takes the aforementioned semiconductor elements (1) out of the tray (15) and supplies them to the predetermined position A.

The pickup nozzle is set in a freely rotatable manner in the horizontal direction with the base end part (17a) at the center. By rotationally driving the pickup nozzle after the semiconductor element (1) is vacuum-sucked onto the tip part (17b), this semiconductor element (1) is conveyed to the predetermined position A to which the suction nozzle (23) which is to be explained later is to be positioned.

Plural semiconductor elements (1) stored in the tray (15) are loaded in such a manner that the element forming face in which the bump (3) is formed is facing upward, and in this condition, it is suction-held by the aforementioned pickup nozzle and is supplied to position A.

A flipping device (19) which flips the semiconductor element (1) to allow the element forming face to face downward is installed below the aforementioned position A. This flipping device (19) has an arm form rotator (20). This rotator (20) is axially supported at the mid-part in

the transverse direction by a horizontal axis (21), and is rotationally driven step-wise (for 180 degrees in each step) so that it is vertical in the transverse direction. (In Figure 1, this is shown by arrow sign (a).)

Furthermore, a pair of suction nozzles (23, 23), which are freely protrudable in the transverse direction of the rotator (20), are installed at both ends (in the transverse direction) of the aforementioned rotator (20). In other words, these suction nozzles (23, 23) are installed in a point-symmetric manner with respect to the aforementioned horizontal axis (21). When one suction nozzle (23) is positioned at the upper part to face the aforementioned position A, the other suction nozzle (23) is positioned at the lower part to face the substrate (5).

As the semiconductor element (1) (in the state in which its element forming face is facing upward) is passed on to one suction nozzle (23) at position A from the aforementioned pickup nozzle (17), the aforementioned flipping device (19) is rotated step-wise for 180 degrees as indicated by arrow sign (a), and the semiconductor element (1) is flipped so that its element forming face is facing downward. In this way, the element forming face of the semiconductor element (1) is made to face the substrate (5).

After the semiconductor element (1) is positioned in the state in which its element forming face faces downward, the aforementioned substrate (5) is moved in the XY directions so that the bump (3) of the semiconductor element (1) faces the wiring pattern (6) to which the bump (3) is to be bonded.



Also, that one suction nozzle (23) is driven downward in a protruding manner so as to allow the bump (3) of the semiconductor element (1) to contact the anisotropic conductive film (7) pasted on the wiring pattern (6). As the suction force is released in this state, since the upper surface of the anisotropic conductive film (7) has an adhesive force, the semiconductor element (1) is tacked onto the substrate (5).

On the other hand, in parallel to the operation described above, the pickup nozzle (17) supplies the next semiconductor element (1) to position A. This semiconductor element (1) is suction-held by the other suction nozzle (23), and by performing the same operation performed by the aforementioned one suction nozzle (23), this semiconductor element (1) is mounted at the other position on the substrate (5).

By alternately repeating the operation by one suction nozzle (23) and by the other suction nozzle (23), plural semiconductor elements (1...) are sequentially tacked onto the substrate (5) via the anisotropic conductive film (7). In this way, the tacking process is completed. The substrate (5) for which tacking processing is completed is then conveyed to the bonding stage (11) by the substrate conveying device (12), and is positioned to the predetermined position.

A bonding head (25), with which plural semiconductor elements (1...) tacked on the substrate (5) are collectively bonded, is installed above this bonding stage (11) in a manner freely movable in the vertical direction. The lower end surface of this bonding head (25) is a flat pressing surface (25a) with which pressure can be applied so as to bond the plural semiconductor elements (1...) at once.

Furthermore, a heater (27) which heats this bonding head is buried in the lower end part of this bonding head (25). This heater (27) is connected to the control part (28), and is operated according to the output signal from this control part (28).

Furthermore, a temperature sensor (29), with which the temperature of the bonding head (25) is measured, is installed at the lower end part of the bonding head (25). This temperature sensor (29) is connected to the temperature detecting part (30) to detect the temperature in the bonding head (25). The temperature detection signal is input into the aforementioned control part (28).

In other words, as a detection signal is input from the temperature detecting part (30), the control part (28) operates the heater (27) according to this detection signal. In this way, the heater (27) is operated so as to maintain the temperature at the lower end part of the bonding head (25) to a level most suitable for the hardening of the aforementioned anisotropic conductive film (7) (e.g., 190°C).

As the lower end part of the bonding head (25) is maintained at 190°C, the bonding head (25) is driven downward and presses the plural semiconductor elements (1...) in the direction of the aforementioned substrate (5) with a certain pressure. This state is held for a period of time (e.g., 30 seconds) needed for the hardening of the anisotropic conductive film (7). In this way, the aforementioned bump (3) and the wiring pattern (6) are electrically connected via the anisotropic conductive film (7).

Thirty seconds later, heating by the aforementioned heater (27) is stopped, and the substrate (5) and the semiconductor elements (1...) are

cooled naturally. During this period, the bonding head (25) continues to press the semiconductor elements (1...) against the substrate (5). When the temperature of the bonding head (25) is lowered to approximately 100°C or lower, the bonding head (25) is lifted. In this way, bonding processing wherein plural semiconductor elements (1...) are bonded onto a substrate is completed.

According to this constitution, anisotropic conductive film (7) is collectively hardened after plural semiconductor elements (1...) are tacked onto a substrate (5) (rather than respectively hardening the anisotropic conductive film (7) for each individual semiconductor element (1)). Thus, the bonding time can be shortened. For instance, the time needed to mount four ICs (semiconductor elements (1)) on a substrate is compared with that needed using the conventional method.

As an example, the following conditions are set for calculation. Namely, IC conveying time is a seconds, substrate loading time is b seconds, unloading time is c seconds, IC alignment time is d seconds, and bonding head vertical operating time is e seconds. In addition, the time needed for the hardening of the anisotropic conductive film is 30 seconds. Then, according to the conventional method, the bonding time T is:

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

According to the invented method, the bonding time T is:

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

The difference is:

$$90 - (b + c) - 2 \times e \text{ (seconds)}$$

If both b and c are 5 seconds, and e is 1 second, then:

$$90 - (5 + 5) - 2 \times 1 = 78 \text{ seconds}$$

Thus, compared to the conventional method, the bonding time is 78 seconds faster with the invented method.

In terms of one semiconductor element, this means that it is  $78/4 = 19.5$  seconds faster per one semiconductor element. Accordingly, it can be said that throughput is higher according to the invented semiconductor element mounting method as compared to the conventional method.

Furthermore, according to the constitution described above, after the anisotropic conductive film (7) is hardened by heating, a pressing condition is maintained until the temperature of the semiconductor element (1) and the substrate (5) is lowered to a prescribed temperature level (100°C or lower) (instead of immediately lifting the bonding head (25)). Thus, even when residual stress is generated in the anisotropic conductive film (7) caused by the difference in contraction quantity of the substrate (5) and the semiconductor element (1) due to cooling, the semiconductor element (1) can be prevented from floating from the substrate (5). Accordingly, the occurrence of a defective conduction caused by the separation of the bump (3) and the wiring pattern (6) can be effectively prevented. Furthermore, this invented method can be modified in many different ways within the range claimed in this invention. For example, the tacking stage (10) and the bonding stage (11) can be assembled into one unit, or can be installed separately.

Furthermore, in the working example described above, after the anisotropic conductive film (7) is hardened, a pressing state is

maintained for a certain period of time. Alternatively, after the anisotropic conductive film (7) is hardened, the bonding head (25) can be lifted immediately to release the pressing state.

Furthermore, in the working example described above, the hardening temperature of the anisotropic conductive film (7) is set to be 190°C. However, it can be changed depending on the characteristics of the anisotropic conductive film (7). Furthermore, in the working example, the hardening time is set to be 30 seconds. However, this hardening time can also be changed depending on the characteristics of the anisotropic conductive film (7). For instance, it can be set to be 60 seconds.

In addition, in the working example described above, the temperature at which the pressing state is to be released is set to be 100°C or lower. This temperature can be changed depending on the environmental temperature and the residual heat temperature of the substrate (5).

Furthermore, in the working example described above, the aforementioned flipping device (19) is used for tacking the semiconductor element (1) onto the substrate (5). It is, however, not limited to this kind of flipping device (19). Any kind of device with which a semiconductor element (1) can be tacked onto the substrate (5) in the state in which the element loading face is facing downward can be used.

In addition, in the working example described above, a flipping device (19) with which plural semiconductor elements are flipped one by one is used. Alternatively, a flipping device with which plural semiconductor elements can be flipped all at once to have them

collectively tacked onto the substrate can be used.

(Effects of the invention)

As explained above, according to the invented semiconductor element mounting method, after plural semiconductor elements are tacked onto the prescribed position of the substrate via the anisotropic conductive film, these plural semiconductor elements are collectively heated and pressed against the substrate. In this way, the bump of the semiconductor element and the wiring pattern on the substrate can be electrically connected.

According to such a constitution, with regard to plural semiconductor elements, the work for the hardening of the anisotropic conductive film can be done in one operation. Thus, the working process can be simplified, and throughput of the mounting process can be increased.

#### Brief Explanation of the Figures

Figure 1 is a brief constitutional diagram showing a working example of this invention.

Figure 2 is a side cross-sectional diagram showing the mounting structure according to a general flip chip method using anisotropic conductive film.

(Symbols)

1...semiconductor element, 5...substrate, 6...wiring pattern,  
7...anisotropic conductive film, 10...tacking stage, 11...bonding stage,  
19...flipping device, 25...bonding head, 27...heater

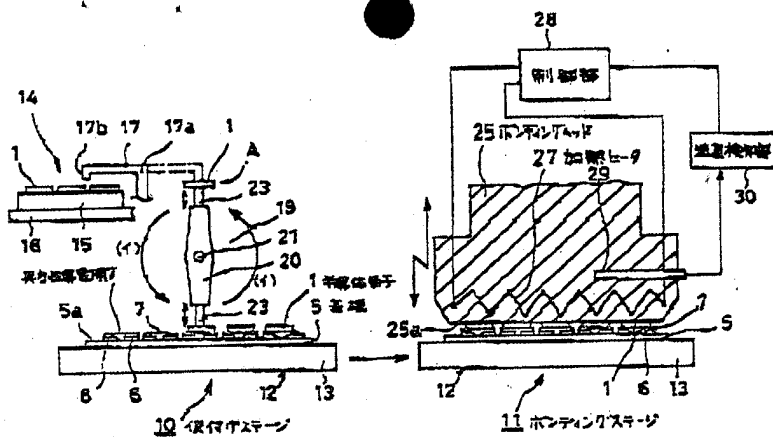


Figure 1

- 1: a
- 1: semiconductor element
- 5: substrate
- 7: anisotropic conductive film
- 10: tacking stage
- 11: bonding stage
- 25: bonding head
- 27: heater
- 28: control part
- 30: temperature detecting part

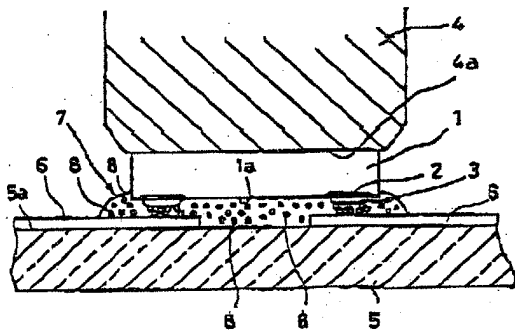


Figure 2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-302444

(43) 公開日 平成4年(1992)10月26日

(51) Int. Cl.<sup>5</sup>

H 01 L 21/66

識別記号

3 1 1 S 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-67045

(22) 出願日 平成3年(1991)3月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石賀 康隆

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 弁理士 鈴江 武彦

PTO 2001-2366

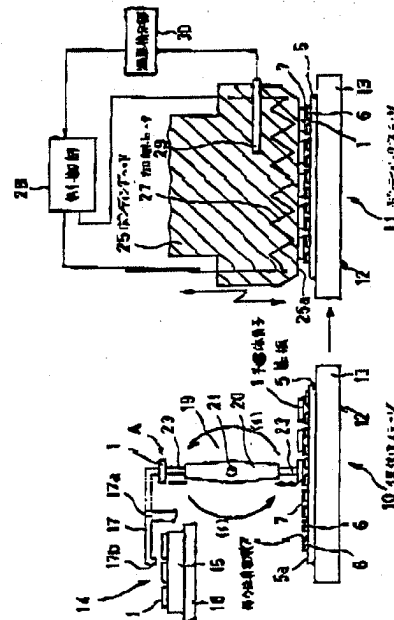
S.T.I.C. Translations Branch

(54) 【発明の名称】 半導体素子の実装方法

(57) 【要約】

【構成】 複数個の半導体素子1…をバンプが形成された面を下方に向けた状態で、異方性導電膜7を介して上記基板5の所定の位置に仮付けする仮付けステージ10と、上記複数個の半導体素子1…を一括的に加圧しかつ加熱することで上記半導体素子1のバンプと基板5の配線パターン6とを電気的に接続させるフリップチップ方式のボンディングを行うボンディングステージ11とを有する。

【効果】 複数個の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができるという効果がある。





(2)

特開平4-302444

## 【特許請求の範囲】

【請求項1】 バンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してボンディングする半導体素子の実装方法において、複数の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のバンプと基板の配線パターンとを電気的に接続させるボンディング工程とを有することを特徴とする半導体素子の実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は例えば、半導体素子をフリップチップ方式でボンディングする半導体素子の実装方法に関する。

## 【0002】

【従来の技術】 近年、液晶モジュールや感熱印字ヘッド、および、メモ리카ードのように半導体素子（ICやLSI等）を複数の個用いるデバイスが増加している。そして、これらにおいては、いずれの場合も複数の半導体素子を高密度でかつ薄型に基板に実装する必要がある。

【0003】 このような条件を満足する半導体素子の実装方式には、異方性導電膜を用いて半導体素子の電極と基板の配線パターンとを直接的に接続するフリップチップ方式がある。

【0004】 このフリップチップ方式を図2を参照して説明する。半導体素子1の素子形成面1a上に設けられた複数の電極パッド2…には、バンプ3（金属突起もしくは突起電極）がそれぞれ形成される。さらに、この半導体素子1は素子形成面1aを下方に向けた状態でボンディングヘッド4の加圧面4aに保持され、基板5の素子搭載面5aに向かい合わせられる。この素子搭載面5aには上記バンプ3と接合させられる配線パターン6が形成されている。

【0005】 上記配線パターン6上には異方性導電膜7があらかじめ貼付されている。この異方性導電膜は微細な導電粒子8…を均一に分散させたフィルム状の熱硬化性の接着剤である。

【0006】 上記半導体素子1のバンプ3と上記基板5の配線パターン6とが位置合わせされたのち、この半導体素子1が上記ボンディングヘッド4によって加熱され、上記異方性導電膜7を介在させて上記基板5の配線パターン6に加圧される。

【0007】 上記半導体素子1のバンプ3の形成された部位には段差があるので、上記異方性導電膜7のうち上記配線パターン6とバンプ3とに押し潰された部分は複数の導電粒子8…が互いに密着して電気的に接続される。それ以外の部分は複数の導電粒子8…が互いに接触するということがないので電気的に絶縁状態となる。こ

のことによって対向する上記半導体素子1のバンプ3と配線パターン6だけが電気的に接続されるのである。

## 【0008】

【発明が解決しようとする課題】 ところで、従来のフリップチップ方式の実装は、一枚の基板5に多数個の半導体素子1…を実装する場合においても、一つ一つの半導体素子1毎に上記異方性導電膜7を硬化させていた。

【0009】 しかし、上記異方性導電膜7を硬化させるためには、一般に30秒以上の加圧、加熱を行わなければならない。このため、一つの基板5上に数十個の半導体素子1…を実装する場合には、スループットが高められないということがあった。

【0010】 この発明はこのような事情に鑑みて成されたもので、多数個の半導体素子を基板に高密度に実装する場合において、実装のスループットが高い半導体素子の実装方法を提供することを目的とするものである。

## 【0011】

【課題を解決するための手段】 この発明は、バンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してボンディングする半導体素子の実装方法において、複数の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のバンプと基板の配線パターンとを電気的に接続させるボンディング工程とを有することを特徴とする。

## 【0012】

【作用】 このような構成によれば、基板に複数の半導体素子を異方性導電膜を介して仮付けした後に、これら複数の半導体素子を一括的に加熱加圧することにより、異方性導電膜を硬化させる。このことで複数の半導体素子を基板上に一括的に実装することができる。

## 【0013】

【実施例】 以下、この発明の一実施例を図1を参照して説明する。なお、従来例と同一の構成要素には同じ符号を付して説明を省略する。

【0014】 この発明の実装方法が適用されるボンディング装置は、仮付け工程を行う仮付けステージ10とボンディング工程を行うボンディングステージ11とを有する。

【0015】 図中12は基板搬送装置である。この基板搬送装置12は、上面を載置面とするテーブル13を有し、このテーブル13の載置面には基板5が素子搭載面5aを上方に向けた状態で保持される。そして、基板搬送装置12は、仮付けステージ10およびボンディングステージ11において、基板5をXY方向に位置決め駆動すると共に、この基板5を仮付けステージ10からボンディングステージ11へと搬送する。

【0016】 上記テーブル13に載置される基板5の素子搭載面5aには上記半導体素子1のバンプ3（図2に

(3)

特開平4-302444

3

4

示す)と接続される多数の配線パターン6が形成されている。そしてこれらの配線パターン6上にはあらかじめ異方性導電膜7が貼付されている。

【0017】上記仮付けステージ10の上方には素子供給装置14が設けられている。この素子供給装置14は、複数個の半導体素子1…を収納したトレイ15を位置決め駆動する供給テーブル16と、上記半導体素子1をトレイ15から取り出して所定の位置Aに供給するピックアップノズル17を有する。

【0018】上記ピックアップノズルは基端部17aを中心として水平方向に回転自在に設けられていて、先端部17bに半導体素子1を真空吸着した後回転駆動されることで、この半導体素子1を後述する吸着ノズル23が位置決めされる位置Aに搬送する。

【0019】また、上記トレイ15に収納された複数個の半導体素子1は、それぞれ、パンプ3が形成された素子形成面を上方向に向けた状態で載置されていて、この状態で上記ピックアップノズルに吸着保持されて位置Aに供給される。

【0020】上記位置Aの下方には、半導体素子1を反転させ、素子形成面を下方に向けさせる反転装置19が設けられている。この反転装置19はアーム状の回転体20を有する。この回転体20は長手方向中途部を水平軸21によって枢支され、長手方向が垂直になるように180度ずつステップ式に回転駆動されるようになっていて、(図に矢印イで示す)

【0021】さらに、上記回転体20の長手方向両端には、回転体20の長手方向外方に突出自在なる一対の吸着ノズル23、23が設けられている。すなわち、これらの吸着ノズル23、23は上記水平軸21に対して点対称に設けられていて、上記一方の吸着ノズル23が上方に位置し上記位置Aに対向しているときには、他方の吸着ノズル23は下方に位置して基板5と対向するようになっている。

【0022】位置Aにおいて、上記ピックアップノズル17によって、一方の吸着ノズル23に半導体素子1がその素子形成面を上方向に向けた状態で受け渡されると、上記反転装置19は矢印イで示すように180度ステップ式に回転駆動され、半導体素子1の素子形成面を下方に向けた状態で反転させる。このことで上記半導体素子1の素子形成面は基板5と向かいあわせられる。

【0023】半導体素子1がその素子形成面を下方に向けた状態で位置決めされたならば、上記基板5はXY方向に駆動され、上記半導体素子1のパンプ3とそのパンプ3が接合される配線パターン6とが対向位置決めされる。

【0024】そして、上記一方の吸着ノズル23は下方方向に突出駆動され、上記半導体素子1のパンプ3を上記配線パターン6に貼付された異方性導電膜7に当接させる。この状態で吸引力を解除すると、上記異方性導電膜

7の上面は粘着力を有するので上記半導体素子1は基板5に仮付けされる。

【0025】一方、上述の動作と並行して、上記ピックアップノズル17は、次に装着される半導体素子1を位置Aに供給する。この半導体素子1は他方の吸着ノズル23によって吸着保持され、上述の一方の吸着ノズル23と同じ動作を行うことで、その半導体素子1を上記基板5上の別の位置に装着する。

【0026】一方の吸着ノズル23と他方の吸着ノズル23がこのような動作を交互に繰り返すことで、上記基板5には多数個の半導体素子1…が異方性導電膜7を介して順次仮付けされる。このことで仮付け工程が終了する。仮付け工程を終えた基板5は基板搬送装置12によってボンディングステージ11に搬送され、所定の位置に位置決めされる。

【0027】このボンディングステージ11の上方には、基板5に仮付けされた複数個の半導体素子1…を一括的にボンディングするボンディングヘッド25が上下移動自在に設けられている。このボンディングヘッド25の下端面は、平坦に形成され、複数個の半導体素子1…を一度にボンディングすることができる大きさの加圧面25aとなっている。

【0028】さらに、このボンディングヘッド25の下端部内にはこのボンディングヘッドを加熱する加熱ヒータ27が埋設されている。この加熱ヒータ27は制御部28に接続され、この制御部28の出力信号によって作動するようになっている。

【0029】また、上記ボンディングヘッド25の下端部にはこのボンディングヘッド25の温度を測定する温度センサ29が設けられている。この温度センサ29は温度検知部30に接続され、上記ボンディングヘッド25内の温度が検知される。そして、この温度検知信号は上記制御部28に入力されるようになっている。

【0030】すなわち、上記制御部28は、上記温度検知部30から検知信号が入力されると、その検知信号に基づいて上記加熱ヒータ27を作動させる。このことにより加熱ヒータ27は上記ボンディングヘッド25の下端部の温度を上記異方性導電膜7を硬化させるのに最適な温度、例えば190度に加熱保温する。

【0031】上記ボンディングヘッド25は下端部の温度を190度に保った状態で、下方に駆動され、上記多数個の半導体素子1…を上記基板5の方向に一定の圧力で押し付ける。そして、異方性導電膜7が硬化するのに必要な時間、例えば30秒間この状態を保つ。このことで上記異方性導電膜7は上記パンプ3と配線パターン6とを電気的に接続した状態で硬化する。

【0032】30秒経過したならば、上記加熱ヒータ27による加熱は停止され、上記基板5および半導体素子1…は自然冷却される。この間、上記ボンディングヘッド25は上記半導体素子1…を上記基板5に押し付けた

(4)

特開平4-302444

5

6

状態を保っている。上記ボンディングヘッド25の温度が約100度以下に下がったならば、ボンディングヘッド25は上昇駆動される。このことで、一つの基板に対する多数個の半導体素子1…を一括的にボンディングするボンディング工程が終了する。

【0033】このような構成によれば、異方性導電膜7の硬化を一つ一つの半導体素子1について行うのではなく、多数個の半導体素子1…を基板5に一旦仮付けした後に、一括的に硬化させるようにしたので、ボンディン\*

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

本発明では、

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

その差は、

$$90 - (b + c) - 2 \times e \quad (\text{秒})$$

である。仮にb、cが共に5秒、eが1秒であるとする

$$90 - (5 + 5) - 2 \times 1 = 78 \quad (\text{秒})$$

本発明の方が従来の技術に比較して78秒も早いということになる。

【0035】これを一つの半導体素子についてみれば、 $78/4 = 19.5$  (秒)となる。このことより、従来に比べ本発明の半導体素子の実装方法はスループットがかなり高いといえる。

【0036】また、上述のような構成によれば、加熱により異方性導電膜7を硬化させたのちに、ボンディングヘッド25を直ぐに上昇駆動するのではなく、上記半導体素子1および基板5の温度が所定の温度(100度以下)に低下するまで加圧状態を保つようにしたので、冷却により基板5と半導体素子1の収縮量に差が生じて異方性導電膜7内に残留応力が発生しても、この残留応力によって上記半導体素子1が基板5から浮き上がるのを防止することができる。このことにより、パンプ3と配線パターン6が離間して導電不良が生じることを有効に防止することができる。なお、この発明は上記一実施例に限定されるものではなく、発明の要旨を変更しない範囲で種々変形可能である。例えば、上記仮付けステージ10とボンディングステージ11は一台の装置に組み込まれていても良いし、別々の装置に設けられていても良い。

【0037】また、上記一実施例においては、異方性導電膜7を硬化させた後に、一定時間加圧状態を保持するようにしたが、異方性導電膜7を硬化させた後に直ぐにボンディングヘッド25を上昇させ、加圧状態を解除するようにしても良い。

【0038】また、上記異方性導電膜7の硬化温度は190度としたがこれは異方性導電膜7の特性により変化するものである。また、この硬化時間も上記一実施例においては30秒としたが、この硬化時間も異方性導電膜

\*グ時間が短縮される。例えば、一つの基板に4つのIC(半導体素子1)を実装する場合のボンディング時間を従来例と比較してみると以下になる。

【0034】例えば、ICの搬送時間をa秒、基板のロード時間をb秒、アンロード時間をc秒、ICの位置合わせ時間をd秒、ボンディングヘッドの上下動作時間をe秒とする。そして、異方性導電膜の硬化時間が30秒とすると、ボンディング時間Tは、

従来技術では、

7の特性によって変化するものであり、例えば60秒としても良い。

【0039】さらに、上記一実施例においては加圧状態を解除する温度を100度以下としたが、これは、その時の外気の温度および基板5の余熱温度によって変更される。

【0040】また、上記一実施例においては、半導体素子1を基板5に仮付けするのに反転装置19を用いたが、このような反転装置19に限定されるものではなく、要は半導体素子1を素子搭載面を下方に向けた状態で基板5に仮付けできる構成の装置であれば良い。

【0041】さらに、上記一実施例においては、複数の半導体素子一つ一つ反転させる反転装置19を用いたが、すべての半導体素子を一度に反転させ、上記基板に一括的に仮付けするような反転装置を用いても良い。

【0042】

【発明の効果】以上説明したように、この発明の半導体素子の実装方法は、複数個の半導体素子を上記基板の所定の位置に異方性導電膜を介して仮付けした後に、上記複数個の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させる。

【0043】このような構成によれば、複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す概略構成図。

【図2】異方性導電膜を用いた一般的なフリップチップ方式の実装構造を示す側断面図。

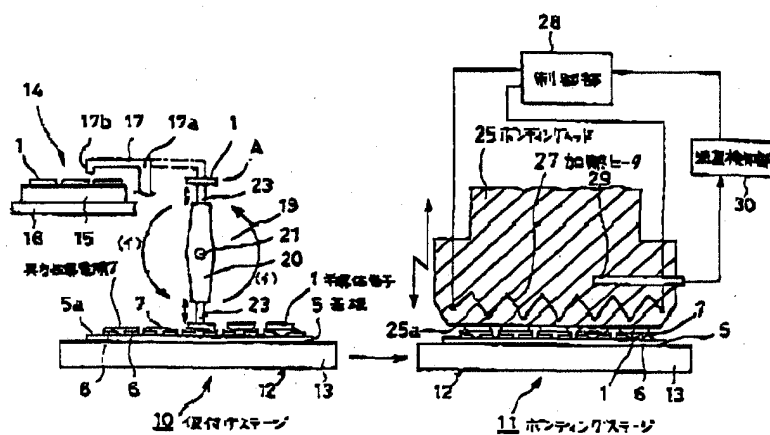
【符号の説明】

1…半導体素子、5…基板、6…配線パターン、7…異方性導電膜、10…仮付けステージ、11…ボンディングステージ、19…反転装置、25…ボンディングヘッド、27…加熱ヒータ。

(5)

開平4-302444

【圖 1】



【图 2】

